



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **63128662 A**(43) Date of publication of application: **01 . 06 . 88**

(51) Int. Cl.

**H01L 27/10**  
**G11C 11/40**
(21) Application number: **61275917**(71) Applicant: **NEC CORP**(22) Date of filing: **18 . 11 . 86**(72) Inventor: **ANDO MANABU**(54) **STATIC MIS MEMORY CELL**

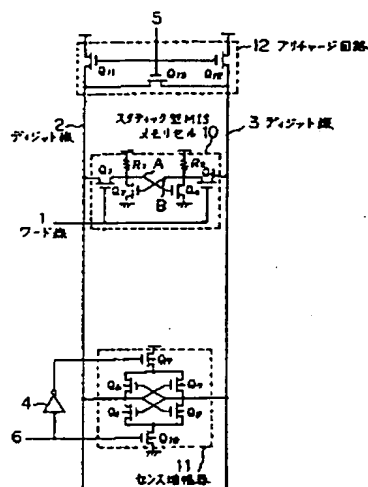
## (57) Abstract:

**PURPOSE:** To activate and amplify a sense amplifier before destruction of data occurs after the data are read out on digit lines to eliminate an erroneous operation and moreover, to lessen the area of a memory cell by a method wherein the channel widthchannel length ratios of the driver MISFETs and transfer gate MISFETs of the memory cell are set in roughly the same.

**CONSTITUTION:** A static MIS memory cell 10 provided with MISFETs  $Q_1 \sim Q_4$ , which have a relation that the ratio  $\gamma$  of the value of the channel width-channel length ratio  $W/L$  of the flip-flop driver MISFETs of a memory cell to the value of the channel widthchannel length ratio  $W/L$  of the transfer gate MISFETs of the memory cell is  $(\gamma D/1.2) \leq \gamma \leq (\gamma D/0.8)$ , is used. The memory cell is started by a strobe signal, signals read out on digit lines 2 and 3 are inputted, positive feedback amplification is conducted and a flip-flop sense amplifier 11, which is outputted on the digit lines 2 and 3, is again added. The sense amplifier 11 begins to amplify correct data being read out on the digit lines 2 and 3. Hereby, the level of the digit line 2 is rapidly charged at  $V_{cc}$  level, the level of the digit line 3 is

rapidly discharged at earth level and the cell data are not destructed.

COPYRIGHT: (C)1988,JPO&amp;Japio



⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭63-128662

⑬ Int. Cl.<sup>4</sup>

識別記号

庁内整理番号

⑭ 公開 昭和63年(1988)6月1日

H 01 L 27/10  
G 11 C 11/40

3 8 1  
3 0 1

8624-5F  
7230-5B

審査請求 未請求 発明の数 1 (全5頁)

⑮ 発明の名称 スタティック型MISメモリセル

⑯ 特 願 昭61-275917

⑰ 出 願 昭61(1986)11月18日

⑱ 発 明 者 安 藤 学 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称

スタティック型MISメモリセル

2. 特許請求の範囲

チャンネル幅チャンネル長比が $\gamma_0$ のNISFETをフリップフロップの駆動トランジスタとする高抵抗負荷方式のスタティック型MISメモリセルにおいて、

チャンネル幅対チャンネル長比 $\gamma_r$ が $(\gamma_0/1.2) \leq \gamma_r \leq (\gamma_0/0.8)$ のトランスファークロフトNISFETと、

ディジタル線上にデータが読出された後、データが破壊される前に活性化され、その読出し出力を増幅するフリップフロップ型センス増幅器を有することを特徴とするスタティック型MISメモリセル。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は金属絶縁物半導体電界効果トランジスタ(以下 NISFET と略記する)を用いたICメモ

リに関し、特にスタティックメモリに関する。

(従来の技術)

従来、スタティックメモリは読出し動作でセルデータが破壊されないようにメモリセルが設計されていた。すなわち、メモリセルのフリップフロップの交差接続点とディジタル線との間に接続されているトランスファークロフト NISFET のチャンネル幅(W)とチャンネル長(L)との比  $W/L (= \gamma_r)$  を1とする時フリップフロップのドライバ NISFET の  $W/L (= \gamma_0)$  が2.5~3以上の値になるように設計されていた。

第3図は上述したスタティック型MISメモリセルの従来例のディジタル線回路部分の回路図である。

プリチャージ回路12は3個のNISFET  $Q_{11} \sim Q_{13}$  からなり、プリチャージ信号線5によって制御されている。メモリセル13は高抵抗素子  $R_1, R_2$  を負荷素子としたインバータを互いに交差接続してなり、NISFET  $Q_{15}, Q_{17}$  をドライバとするフリップフロップと、該交差接続点に一端が接続され他端

がディジット線2, 3に接続され、ゲートがワード線1に接続されているトランスファージゲートNISFET  $Q_{14}, Q_{15}$ とから構成されている。

第4図は、第3図のスタティック型MISメモリセルの $\gamma_D/\gamma_T = 2.5 \sim 3$ の場合の動作を示すタイムチャートである。

いま、初期状態(時刻 $t_0$ )として、メモリセル13の一方の節点Aのレベルが $V_{CC} - V_{TN}$ ( $V_{TN}$ はNチャネルMISトランジスタのスレッシュホールド電圧)、他の節点Bが接地レベルにあり、またディジット線2, 3はプリチャージ回路12によりすでにプリチャージが完了して $V_{CC} - V_{TN}$ というレベルになっており、プリチャージ信号線5は接地レベルにあるとする。

次に時刻 $t_1$ でワード線1のレベルが上昇し始め、時刻 $t_2$ でワード線1のレベルがトランスファージゲートNISFET  $Q_{14}$ のスレッシュホールド電圧 $V_{TN}$ を越えると節点Bに接続されたトランスファージゲートNISFET  $Q_{15}$ がオンして節点Bのレベルが上昇し始めるとともにディジット線3のレベ

ルが下がり始める。ワード線1のレベルは時刻 $t_{10}$ で $V_{CC}$ レベルに到達するが、節点Bのレベルはこの直前に最も高くなる。時刻 $t_{10}$ 以後はディジット線3の電荷がメモリセル13を介して放電されてディジット線3のレベルが低下するため節点Bのレベルも低下していく。従来、メモリセルの低レベルは最も高い時でもスレッシュホールド電圧 $V_{TN}$ を越えないように $\gamma_D/\gamma_T$ の値を2.5~3程度にしているのもメモリセルの高レベルは読出し動作によって低下することなく $V_{CC} - V_{TN}$ を保持している。

第5図は、第3図のスタティック型MISメモリセルの $\gamma_D/\gamma_T$ がほぼ1の場合の動作を示すタイムチャートである。

第4図の場合と同様に、初期時(時刻 $t_0$ )、ディジット線2, 3のプリチャージは完了してディジット線2, 3ともに $V_{CC} - V_{TN}$ のレベルに、またプリチャージ信号線5は接地レベルになっており、メモリセル13内節点Aのレベルは $V_{CC} - V_{TN}$ 、節点Bは接地レベルにあるとする。

まず、時刻 $t_1$ でワード線1が上昇し始め時刻 $t_2$ でワード線1のレベルがスレッシュホールド電圧 $V_{TN}$ を越えるとトランスファージゲートNISFET  $Q_{14}$ がオンし、節点Bのレベルが上昇し始める。時刻 $t_3$ で節点Bのレベルがスレッシュホールド電圧 $V_{TN}$ を越えると、ドライバNISFET  $Q_{13}$ がオンして節点Aのレベルが低下し始める。時刻 $t_4$ でワード線1のレベルと節点Aのレベルとの差がスレッシュホールド電圧 $V_{TN}$ を越えると、トランスファージゲートNISFET  $Q_{15}$ がオンしてディジット線2のレベルも低下し始める。ワード線1のレベルがさらに上がるとメモリセル13の低レベルはさらに上昇し、やがて時刻 $t_5$ でメモリセル13の高レベルと低レベルが反転してしまう。メモリセルが完全に対称であれば反転することはないが、現実にはそのようなことはないので必ず反転してしまう。時刻 $t_5$ でメモリセル13の出力が反転してしまうとディジット線2, 3のレベル低下速度もディジット線2の方がディジット線3よりも速くなり、ワード線1が活性化された後20~25ナノ秒後の時刻 $t_6$ にはディジット線1の

データも反転してしまう。

このようにメモリセル13のドライバNISFET  $Q_{13}, Q_{17}$ とトランスファージゲートNISFET  $Q_{14}, Q_{15}$ のチャネル幅対チャネル長比 $W/L$ の値の比 $\gamma_D/\gamma_T$ を小さくすると読出しの際にメモリセルデータが破壊されてしまい誤動作が起きてしまう。

一方、メモリセル13の面積という観点に立つとメモリセル13内のNISFET  $Q_{14} \sim Q_{17}$ はできる限り小さいことが好ましい。特にスタティックメモリにおいてはメモリセル部分の面積がチップ面積の50~80%を占めており、メモリセル面積を小さくすることは、低コスト化、大容量化には必須である。

(発明が解決しようとする問題点)

上述した従来のスタティックメモリは、メモリセルのトランスファージゲートNISFETのチャネル幅対チャネル長比 $W/L$ の値に対するフリップフロップのドライバNISFETのチャネル幅対チャネル長比 $W/L$ の値の比を2.5~3以上にしている

のでメモリセルの面積、ひいてはチップサイズが大きくなり、低コスト化、大容量化が困難であるという欠点がある。

(問題点を解決するための手段)

本発明のスタティック型MISメモリセルは、チャンネル幅対チャンネル長比の値が $\gamma_0$ のMISFETをフリップフロップの駆動トランジスタとする高抵抗負荷方式のスタティック型MISメモリセルにおいて、

チャンネル幅対チャンネル長比 $\gamma_1$ が $(\gamma_0 \times 1.2) \leq \gamma_1 \leq (\gamma_0 \times 0.8)$ のトランスファゲートMISFETと、ディジット線上にデータが読出された後、データが破壊される前に活性化され、その読出し出力を増幅するフリップフロップ型センス増幅器を有することを特徴とする。

このように、メモリセルのドライバMISFETとトランスファゲートMISFETのチャンネル幅対チャンネル長比をほぼ同一にし、それによって、ディジット線上にデータが読出された後データの破壊が起る前にセンス増幅器を活性化して正しい

データを増幅することにより、誤動作がなく、かつメモリセル面積の小さいスタティック型MISメモリを提供することができる。

(実施例)

次に、本発明の実施例について図面を参照して説明する。

第1図は本発明のスタティック型MISメモリセルの一実施例の回路図、第2図は本実施例の動作を示すタイムチャートである。

本実施例は第3図のメモリセル13のMISFET  $Q_{14} \sim Q_{17}$ の代りに、それぞれのチャンネル幅対チャンネル長比が同じ(したがって $\gamma_0 / \gamma_1 = 1$ )で、かつ製造上許容される最小寸法のMISFET  $Q_1 \sim Q_4$ を備えたメモリセル10が隔られ、またストロブ信号によって起動され、ディジット線2, 3上に読出された信号を入力し、正帰還増幅して、再びディジット線2, 3上に出力するフリップフロップ型センス増幅器11が付加されたものである。

フリップフロップセンス増幅器11は、2つの

C MISインバータの出力と入力を交差接続して構成されているフリップフロップと、ストロブ信号(センス増幅器活性化信号)を入力するために、フリップフロップを構成するP型MISFET  $Q_5$ ,  $Q_7$ とN型MISFET  $Q_6$ ,  $Q_8$ のソース回路にそれぞれ接続されているP型スイッチMISFET  $Q_9$ とN型スイッチMISFET  $Q_{10}$ によって構成されている。フリップフロップの出力はそれぞれディジット線2, 3に接続され、N型MISFET  $Q_{10}$ のゲートはストロブ信号入力6に、またP型MISFET  $Q_9$ のゲートはインバータ4を介してストロブ信号入力6に接続されている。

次に、本実施例の動作について説明する。

本実施例においては、節点Bのレベルが  $V_{th}$  を越え、ドライバMISFET  $Q_2$  がオンして節点Aのレベルが下り始める時刻 $t_3$ までの動作は第5図の従来の場合と同様である。しかし、ストロブ信号6が時刻 $t_4$ から立上り始め、センス増幅器11が、節点Aと節点Bの電位レベルがほぼ等しくなる時刻 $t_5$ 付近で動作を開始してディジット線2, 3に

読出されている正しいデータを増幅し始める。これによりディジット線2のレベルは  $V_{cc}$  レベルに、またディジット線3のレベルは接地レベルに急速に充放電される。このため時刻 $t_5$ でいったん反転してしまったセルデータは時刻 $t_6$ で再び元に戻り、セルデータは結局破壊されない。この動作で重要なのはセンス増幅器11を活性化させる時刻である。つまり、ディジット線2, 3にデータが出ないうちに活性化したり、逆にディジット線にいったん読出された正しいデータが反転してから活性化すると、誤ったデータを増幅してしまい、メモリセルデータを破壊してしまうのである。従って、ワード線1のレベルが上昇し始めてディジット線2, 3に正しいデータが読出され始めてから、そのデータが消えるまでの間にセンス増幅器を活性化する必要がある。この時間は約20～25ナノ秒程度である。

(発明の効果)

以上説明したように本発明は、各ディジット線毎にフリップフロップ型センス増幅器を設け、

ワード線が活性化した後20ナノ秒以内に該センス増幅器を活性化させることにより、メモリセルの $\gamma_0/\gamma_1$ の値を1程度にしても読出し動作でセルデータが破壊されないため、メモリセルのドライバ MISFET のチャネル幅を従来のものの半分以下にすることができ、メモリセル面積の縮小化ひいてはチップの縮小化、低コスト化ができ、またチップサイズを同一とするならばより大容量のスタティックメモリを実現できる効果がある。

#### 4. 図面の簡単な説明

第1図は本発明のスタティック型MISメモリセルの一実施例の回路図、第2図は本実施例の動作を示すタイムチャート、第3図はスタティック型MISメモリセルの従来例のディジット線回路部分の回路図、第4および第5図は、それぞれ第3図のスタティック型MISメモリセルの $\gamma_0/\gamma_1 = 2.5 \sim 3$ および $\gamma_0/\gamma_1$ がほぼ1の場合の動作を示すタイムチャートである。

1…ワード線、

2, 3…ディジット線、

5…プリチャージ信号線、

6…ストロープ信号線、

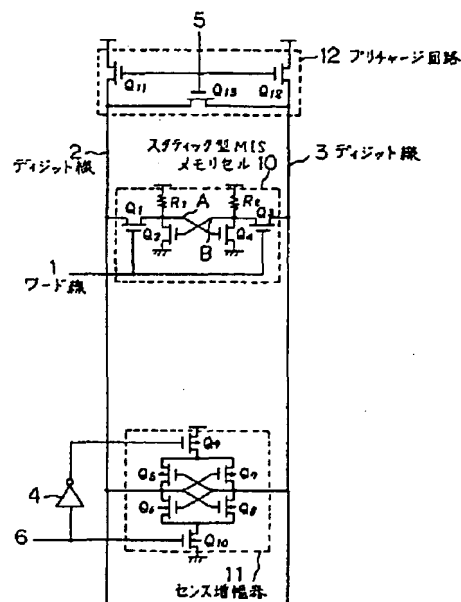
10…メモリセル、

11…センス増幅器、

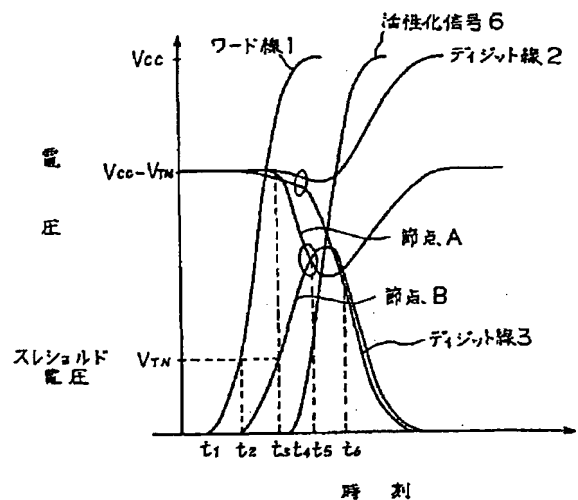
12…プリチャージ回路。

特許出願人 日本電気株式会社

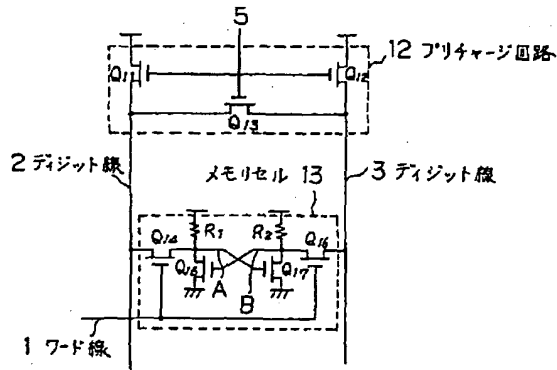
代理人 弁理士 内 原 晋



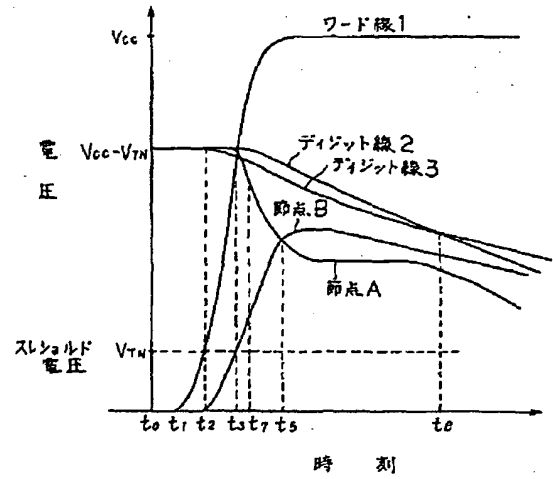
第1図



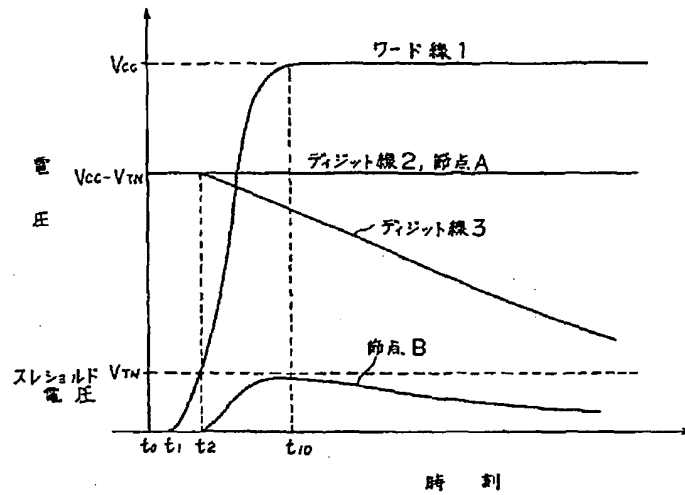
第2図



第3図



第5図



第4図